

DETAIL

JAPANESE

LEGAL
STATUS

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-232075

(43)Date of publication of application : 22. 08. 2000

(51)Int. Cl.

H01L 21/265

H01L 29/78

H01L 21/336

(21)Application number : 11-032784

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 10. 02. 1999

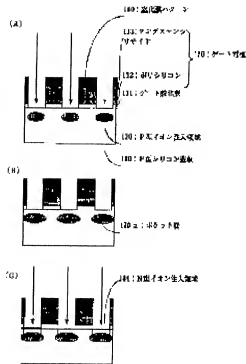
(72)Inventor : SHINOHARA HIROBUMI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To permit formation of a MOS FET which reliably has a pocket layer, even when it becomes difficult to implant impurity ions from an oblique direction with respect to a silicon substrate, due to its miniaturization in steps of manufacturing a semiconductor device and in particular, a MOS FET having the pocket layer.

SOLUTION: A gate oxide film 111, a gate electrode 150 made of a polysilicon film 112 and a tungsten silicide film 113, and a nitride film pattern 140 are selectively formed on a P-type silicon substrate 110, and then the P-type silicon substrate is subjected to vertical implantation of P-type impurity ions with respect to the substrate. Then a P-type ion implanted region 120 formed by the P-type ion implantation is diffused and activated, to form a pocket layer 120a prior to the formation of other ion-implanted regions.



〔0009〕次に図8(B)に示すように、コンタクトホール430内にコンタクト層432を埋め込み、このコンタクト層432の上に配線層431を形成する。

100101 聖明が懸決しようとする問題にEに述べたように

果のオヤシト層の形成工程では、シリコン基板裏面に對して斜め方向からイオン注入を行い、動作時にチャネル領域下で受え層が広がる部分にイオン注入領域を形成し、その重、このオヤシト注入領域を活性化することによってオヤシト層を形成していた。

【0011】しかしながら、微細化が進みデチャインのみの場合でも18μm以下になると、ゲート電極間近の空間がゲート電極の近さにはべて狭くなり、シリコン基板表面に対して斜め方向からイオン注入を行うと、隣のゲート電極の近傍に比べて不純物イオンが注入されな

人組織が、動員にチャネルを設けて空の層から他の部分にまで形成されなくなる。つまり、ボクシング層を形成することができない。一方、金オゾン層は、頻りに頻りに、オゾン層を破壊する傾向を長くして、ボクシング層を形成する方法を用いて、他のオゾン層、例えはブラス・ドレインとなるオゾン層が広がりすぎないように、デバース特性を劣化させてしまう。

【0012】本発明の目的は、短サキル効果がより顕著となるデザインルール、18μm以下の世代の半導体装置においても、ボケリノズを確実に形成できる半導体装置の製造方法を提供することにある。

【00131】
問題を解決するための手段、上述の目的を達成するための、本発明の半導体装置の製造方法は、前記電極型の半導体基板上に、ゲート絶縁膜およびゲート電極を形成すること、ゲート電極を導電的に接続する、次に第1導電型の不純物を、ゲート電極をマスクにして半導体基板表面に対して垂直に導入することにより、半導体基板の所定位置に第1導電型のイオン注入領域を形成する

る。このオゾン入風機はゲート電機に対応するチャネ
ル形成の直下に位置するよう風機をさせることにより、活
性化する。そのゲート電機をマスクにして、第2電電
極の不純物を半導体基板表面より所定の深さに入射する
ことにより、第2電電極のオゾン入風機を形成する。

【発明の実施の形態】 図1および図2は本発明の半導体装置の製造方法の第1の実施の形態について説明するための断面図である。以下、図1および図2を用いて、その説明を行う。

【0015】本発明の第1の実施形態の形態を用いて、NMOSFET (N-type Metal Oxide Semiconductor Field Effect Transistor) を製造する場合には、図1に示すように、

6.

コン基¹1.0以上に酸化後、ポリリコン膜、タンゴザチオン膜、チンゲル膜を順に形成する。そしてこれら4層の膜をバニシングシートに酸化40分、ポリリコン112とタンゴザチオンポリドールからなるゲート電層5.0、および酸化バニシングシートに形成する。

【0017】次に、P型シリコン基板10中に窒素100171)を、P型シリコン基板10の表面にシリテ101) (A)、P型シリコン基板10の表面にシリテ101) (A)の天面を示すように、さらにP型の不純物イオンを注入する。P型イオン注入条件120を指定する。図1(A)の工程のパラメータおよび条件は以下通りである。注入する不純物イオンの種類：BF₃、イオン注入エネルギー

注: 長さ: $0.07 \sim 0.19 \mu\text{m}$, 断面積: $0.03 \sim 0.05 \mu\text{m}^2$,
[001] 面に沿い (B) に示すように, P 型 GaAs
に長さ 120 を維持してチンキ酸下で溶き出す
部分にまで熱処理をするため, $300 \sim 650^\circ\text{C}$ で 99.9%
分, 熱処理を行う。この熱処理によって, P 型 GaAs
に長さ 120 は出現することにより活性化されて半
導体 120 となる。

【0019】次に図1(C)に示すように、P型シリコン基板110中に窒化ホウ素114およびゲート電極150をマスクにして、P型シリコン基板110の表面に対して図1(C)の矢印で示すように垂直にN型の

不純物イオンを注入して、N型イオン注入領域144を形成する。図1 (C)の工程のバラバラとなる条件は以下の通りである。注入する不純物の種類: A、イオンエネルギー: 200~300keV、P型シリコン基板の表面からの深さ: 約0.04~0.07 μ m、ドーピング量: $5 \times 10^{13} \sim 5 \times 10^{14}/\text{cm}^2$ 。

[0020] 次に図2 (A)に示すように、ゲート電極150、垂直電極145、146およびパターンの形成。

1の位置に変化がなると、サイトラールスペース141を形成する。

して直ちにN型の不純物イオンを注入して、N型イオン注入領域1,2,3を形成する。図2(A)の工程のバラエティーおよび条件は以下の通りである。注入する不純物イオンの種類: As^+ 、イオン注入エネルギー: 約50keV、P型シリコン基板110の表面からの注入深さ: 約0.1

【0022】次に図2(B)に示すように、約1000℃にて、 Fe_2O_3 を還元して、 Fe_3O_4 を得る。

されてLDOD値144.8となる。次に、全炭に SiO_2

などの地球性の環境115を構築せ、それから「
エ・レバソム」123をの上に、7ナリソグラ
-エ工とエツツグエ工を行って、コンダトホー
30を調製せ。

100231 水に炭(C)に灰ナ、コンダト
1152を形成するため環境を完全に構築せ、エ
チベツグまたはCMTF (Chemical Mechanical Polishi

前)を行ってコンタクト・メール130に「コソク」題
132を形成する。最後に印刷用131を準備させてア
ナロググラフィック工程とエッチング工程でパターニ
ングする。なお、コソクは図132を複製源として作り
出せることも可能である。

【0024】なお本発明のパターン140およびパター
ンホルムベータ141は、図2(Ⅱ)におけるゾー

[illegible]

気的には然し、ショートしてしまふ。したがって、ゲート電極15.0上に酸化膜パターン14.0を、およびゲート電極15.0、酸化膜パターン14.0およびゲート酸化膜11.0の順にサイドウォールスペーサ14.1を配し

【0025】上述した通り、本発明の第1の実施形態の半導体装置の製造方法は、ステップ120とならるP型オゾン注入処理120は、ソース・ドレイン133を形成する前に施行しては好ましい。ソース・ドレイン133を形成した後に施行してもよい。ステップ120は、ソース・ドレイン133を形成した後に施行してもよい。ステップ120は、ソース・ドレイン133を形成した後に施行してもよい。

任意に設定できる。つまり、P型イオン注入領域1200Åをイオン注入によって直後、動作時にチャネル領域下で発生する電位が広がる部分に形成しなくてもいい。したがってP型の不純物のイオンをP型シリコン基板1100の表面に与えて絶縁に注入することが可能になるので、P型の

不純物のイオンをゲート電圧1.50によって遮られること
となく注入できる。したがってゲート電圧1.50の高さ
が高く、障り合うゲート電圧1.50同士の間隔が狭い場
合でも、ゲート幅120nmを動作時にチャネル領域下
で空乏層が広がる部分に形成することができ、これによ

十分な置換チキソトロピーの抑制を行うことが可能になる。

[0025]さらにLDD層144は、ポリイミド層120を形成の後に形成されるため、ポリイミド層120を形成工程に影響を与えることなく、形成することができ

る。これは、ボクストロム1201となるP型オソ

領域120HLD001444となるイオン注入層44を形成する前に独立して熱処理することである。

[0022] 本発明の第1の実施の形態ではMNO₂ EETを例にして説明したが、これに限られたものでなく、PMOSFET (p-type Metal Oxide Semiconductor) を製造する場合作用する。

も、PMOSFETを透過する場合には、P型コンタクト10の代わりにN型シリコン基板を用いるに図1(A)の工程においては、P型コンタクト120形成のためのP型不純物イオン注入の代わりにN型不純物イオンを注入して、N型イオン注入層を形成する。図1(A)の工程のパラメータおよびは以下の通りである。注入する不純物イオンの種類

また、 A_{5^+} 、 A_{5^+} の結合はエネルギー： P の割合
0.6eV、 A_{5^+} の結合は約150eV、N型シリコン基板
面からの注入深さ： $0.07 \sim 0.10 \mu\text{m}$ 、ドーピング：約
 $10^{17}/\text{cm}^3$ 。

【0028】さらに図1 (C) の工程においては、
 A_{5^+} の注入は14形成のための A_{5^+} の注入の
に A_{5^+} の材料 A_{5^+} を注して、 P 型 A_{5^+} 注入
を形成する。図1 (C) の工程の A_{5^+} と A_{5^+} と

は以下の通りである。注入する不純物イオンの種類
F²⁺、イオン注入エネルギー：約20~30keV、N型
コンタクトの表面からの注入深さ：約0.04~0.07μm、
ドーズ量：約2×10¹³~5×10¹³/cm²。

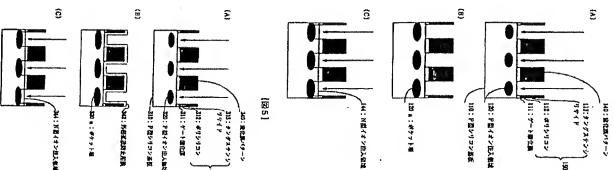
[0029] として図2 (a) の工程においては、イオン注入装置123形成のためのイオン注入機124にP型の不純物イオンを注入して、P型イオン注入を形成する。図2 (A) の工程の「イオン注入」は以下のものである。注入する不純物イオンの種類は $^{32}\text{S}^+$ 、イオン注入エネルギー：約40eV、N型シリコン基板の表面からの注入深さ：約15 μm 、ドーピング

【0030】その他の手順はNMOSEFETの場合とである。

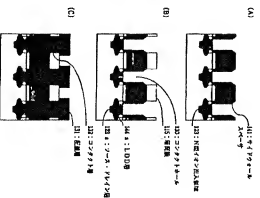
適用することができ、
【0032】また本実施例ではP型シリコン基板1
上の酸化膜を、ターミネーション電圧150Vまたは酸化膜パターン
0と同様にターミネーションして、ターミネーション
成しているが、この方法は限られるものではなく、

シリコン基板に0.10μmの微細なパターンニングによるトランジスタの形成は、ボケット径120μm程度、N型ゲート注入領域14μm幅前に付てもよい【0033】あるいはLDD層14μmの代わりにクラスプンゲルを形成してもよい。このとき、ホ

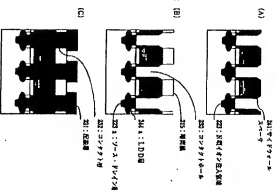
[図1]



[図2]



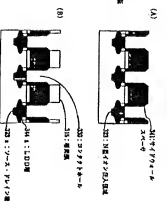
[図4]



[図3]



[図6]



[図7]

